

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-247709

(43)Date of publication of application : 19.09.1997

(51)Int.Cl. H04N 9/80

H04N 5/92

(21)Application number : 08-050572 (71)Applicant : SONY CORP

(22)Date of filing : 07.03.1996 (72)Inventor : HENMI FUMIAKI

KANI TETSUO

OGAWA TETSUO

TANAKA YOSHIAKI

ABE TAKAO

(54) PORTABLE DIGITAL CAMCORDER

(57)Abstract:

PROBLEM TO BE SOLVED: To attain small size, light weight, to reduce power consumption and to enhance the image quality by using a band limit means to limit the frequency band of a video signal picked up by a video camera and using a bit rate reduction encoder circuit so as to record signal subject to band compression processing.

SOLUTION: R, G, B analog video signals from a video camera 1 are given to a matrix circuit 2, in which they are matrix-processed and band-limited by a band filter 3 and A/D-converted by an A/D converter circuit 4. The digital data are given to a pre-processor circuit 5, in which the data are rearranged and bit rate reduction encoder circuits 6, 7 conduct compression processing at a high compression rate. Output signals of the circuits 6, 7 and a frame synchronizing signal are given to an error correction coding encoder circuit 8 and the circuit 8

uses recording heads 11A-D to record data onto a magnetic tape 15. Thus, the device is made small and light, the power consumption is reduced and the image quality is improved.

LEGAL STATUS [Date of request for examination] 21.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] abandonment

[Date of final disposal for application] 25.04.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect

the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is really [hand camera] which is really [hand camera] with which
the video camera and the digital video recorder were united characterized by for
a band limit means band-limiting the video signal picturized with said video
camera, and recording after that the signal which carried out band compression
processing by the bit rate reduction encoder circuit in a form digital video
recorder a form digital video recorder.

[Claim 2] It is really [hand camera] which is really [according to claim 1 / hand

camera] characterized by making 4:2:2 signals into 3:1:1 signals with said band limit means in a form digital video recorder a form digital video recorder.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention really [hand camera] which unified the video camera and the digital video recorder relates to a form digital video recorder.

[0002]

[Description of the Prior Art] When chart lasting time and recording density are generally really [of high resolution / hand camera] taken into consideration in a form digital video recorder, and recording the video signal picturized with the video camera, it is realistic to record on a magnetic tape using image

compression technology.

[0003] Now, when really [hand camera] realizing a form video tape recorder generally, the magnitude and power consumption of a configuration pose a problem.

[0004] The video signal picturized with the video camera like before (for example, 4:2:2 signals which set to 4:2:2 the ratio of 4:4:4 signals which set the ratio of the sampling frequency of a luminance signal Y, and the R-Y color-difference signal Pr and the B-Y color-difference signal Pb to 4:4:4, or this frequency.) R is a red signal and B is a green light here. As it is, when it was made to transmit to the digital video recorder section from this video camera section, while the scale of the hardware which performs this compression processing tends to become large and there was disadvantageous un-arranging also in respect of power consumption, the signal frequency of an interface was high, and there was un-arranging [which cannot disregard the power consumption of this part, either].

[0005] In view of *****, this invention aims at attaining reduction-ization of power consumption while it really [hand camera] attains small lightweight-ization of a form digital video recorder.

[0006]

[Means for Solving the Problem] A form digital video recorder band-limits the

video signal picturized with this video camera in the form digital video recorder with a band limit means, and really [this invention hand camera] records after that the signal which carried out band compression processing by the bit rate reduction encoder circuit really [hand camera] with which the video camera and the digital video recorder were united.

[0007] Although the power consumption of a bit rate reduction encoder circuit is generally proportional to a frequency, since band compression processing is carried out in the bit rate reduction encoder circuit after band-limiting according to this invention, power consumption can be lessened so much.

[0008] Moreover, since band compression processing is carried out in the bit rate reduction encoder circuit after band-limiting according to this invention, memory space of this bit rate reduction encoder circuit that carries out band compression processing can be made small, and-izing of the hardware can be carried out [small and lightweight] so much.

[0009] Moreover, since band compression processing is carried out by the bit rate reduction encoder circuit after band-limiting according to this invention, compression efficiency can be gathered, and a mosquito noise decreases so much and can improve image quality.

[0010]

[Embodiment of the Invention] Hereafter, with reference to a drawing, I will really

[this invention hand camera] explain per example of a form digital video recorder. In drawing 1 , 1 shows the video camera which used the CCD image sensor as an optoelectric transducer.

[0011] this -- a video camera -- one -- an output side -- obtaining -- having -- a clock frequency -- for example, -- 74.25 -- MHz -- it is -- drawing 2 -- A -- B -- and -- C -- being shown -- ***** -- (-- R --) -- a signal -- green -- (-- G --) -- a signal -- and -- blue -- (-- B --) -- a signal -- an analog -- a video signal -- a matrix circuit 2 -- supplying .

[0012] In this matrix circuit 2, matrix operation processing of this R signal, G signal, and the B signal is carried out, and it changes into the Y signal of 4:4:4 signals, the R-Y signal Pr, and the B-Y signal Pb. It carries out as [band-limit / to 3:1:1 signals / supply these 4:4:4 signals to the band-pass filter 3 of an analog, while this band-pass filter 3 band-limits a Y signal to three fourths, band-limit the R-Y signal Pr and the B-Y signal Pb to one fourth, respectively, and].

[0013] In this case, if it says to 4:2:2 signals usually used standardly when this band-pass filter 3 band-limits 4:4:4 signals to 3:1:1 signals, it will mean that the band compression of the image data was carried out to five eighths.

[0014] 3:1:1 signals acquired by the output side of this band-pass filter 3 are supplied to the A/D-conversion circuit 4 which changes an analog signal into a digital signal. In this A/D-conversion circuit 4, the luminance signal Y, the digital

R-Y color-difference signal P_r , and the digital B-Y color-difference signal P_b of 3:1:1 are acquired. The clock frequency of the digital section of this A/D-conversion circuit 4 is set to 55.6875MHz.

[0015] The **** digital luminance signal Y of 3:1:1 shown in drawing 2 D, E, and F obtained by the output side of this A/D-conversion circuit 4, the B-Y color-difference signal P_b , and the R-Y color-difference signal P_r are supplied to the preprocessor circuit 5. As the order of data of this digital luminance signal Y of 3:1:1, the B-Y color-difference signal P_b , and the R-Y color-difference signal P_r is rearranged and this preprocessor circuit 5 is shown in drawing 2 G and H, they are the 1st and 2nd channel signals $ch1$ and $ch2$. It carries out.

[0016] Rearrangement of this order of data of this preprocessor circuit 5 As shown in drawing 2 G and H, they are luminance signals Y_0 , Y_1 , and Y_2 It carries out per 6 samples. The odd number samples Y_1 and Y_3 and Y_5 .. are divided into each of two channels with the even number samples Y_0 and Y_2 of this luminance signal, and Y_4 Similarly, it divides [.... / the even number sample P_{b0} and / P_{b2}] with P_{r0} and P_{r2} .. behind that, a B-Y color-difference signal and a R-Y color-difference signal are divided into P_{r1} and P_{r3} .. with the odd number sample P_{b1} and P_{b3} .., and it carries out as [distribute / to these two channels].

[0017] Namely, the 1st channel signal $ch1$ As shown in drawing 2 G, it is the

signal of Y0, Y2, Y4, Pb0, Pr0, and Y6 with which an even number sample stands in a row, and it is the 2nd channel signal ch2. As shown in drawing 2 H, it is the signal of Y1, Y3, Y5, Pb1, Pr1, and Y7 .. with which an odd number sample stands in a row.

[0018] In this case, these 1st and 2nd channel signals ch1 And ch2 Each frequency is set to 46.4025MHz and is falling further from the clock frequency of 55.6875MHz of the digital section of the A/D-conversion circuit 4.

[0019] These 1st and 2nd channel signals ch1 And ch2 It is the output signal of this video camera, and they are these 1st and 2nd digital channel signals ch1. And ch2 The bit rate reduction encoder circuits 6 and 7 of the digital video recorder section are supplied, respectively.

[0020] It constitutes so that the band compression of image data may be set to one seventh on the whole in these bit rate reduction encoder circuits 6 and 7, for example, so that 8/35 may carry out band compression processing. It carries out as [use / as these bit rate reduction encoder circuits 6 and 7 / a well-known thing].

[0021] In this example, an internal configuration makes completely the same the bit rate reduction encoder circuits 6 and 7, and they are carried out as [perform / here / shuffling of an image]. compression processing -- this example -- setting -- intra -- it carries out as [carry / with a frame]. this intra -- it is because the

direction of a frame can make compressibility high acquiring the same image quality.

[0022] Moreover, in these bit rate reduction encoder circuits 6 and 7, as shown in each output side at drawing 3 A and B, the bit rate reduction signal for every one frame is acquired. This bit rate reduction signal for one frame is what was divided into six segment signals, respectively, and this one segment signal is drawing 3 C1 and C2, D1, and D2, respectively. It consists of 225 sink blocks and this sink block consists of 1008 clocks so that it may be shown. This segment signal is recorded on one truck, respectively.

[0023] Namely, as the 1st [of the bit rate reduction signal acquired by the output side of this bit rate reduction encoder circuit 6], 3rd, and 5th segment signals (Segment0, Segment2, and Segment4 of drawing 3 A) are shown in drawing 3 A and C1 It is A channel signal which consists of 225 A sink blocks, respectively. The 2nd [of this bit rate reduction signal], 4th, and 6th segment signals (Segment1, Segment3, and Segment5 of drawing 3 A) are drawing 3 A and C2. It is C channel signal which consists of 225 C sink blocks, respectively so that it may be shown.

[0024] Moreover, the 1st [of the bit rate reduction signal acquired by the output side of the bit rate reduction encoder circuit 7 at this time], 3rd, and 5th segment signals (Segment0, Segment1, and Segment4 of drawing 3 B) are drawing 3 B

and D1. So that it may be shown It is B channel signal which consists of 225 B sink blocks, respectively. The 2nd [of this bit rate reduction signal], 4th, and 6th segment signals (Segment1, Segment3, and Segment5 of drawing 3 B) are drawing 3 B and D2. It is D channel signal which consists of 225 D sink blocks, respectively so that it may be shown.

[0025] This sink block uses a recognition signal ID and data as 220 clocks, as shown in drawing 3 E, and it makes others a gap. A frame alignment signal is shown in drawing 3 F. Moreover, in drawing 1 , 6a and 7a are memory used for each signal processing of the bit rate reduction encoder circuits 6 and 7, respectively.

[0026] While supplying the **** frame alignment signal shown in the **** bit rate reduction signal shown in drawing 3 A and B obtained by each output side of these bit rate reduction encoder circuits 6 and 7, and drawing 3 F to the error correcting code-ized encoder circuit 8, voice data is supplied to this error correcting code-ized encoder circuit 8 from the voice data input terminal 9.

[0027] A well-known thing is used as this error correcting code-ized encoder circuit 8, and while supplying A and C channel signal which are acquired by one output terminal of this error correcting code-ized encoder circuit 8 and which were error-correcting-code-ized to traveling contact 10a of one change-over switch 10, B and D channel signal which are acquired by the output terminal of

another side of this error correcting code-ized encoder circuit 8 and which were error-correcting-code-ized are supplied to traveling contact 12a of the change-over switch 12 of another side. 8a is memory used for signal processing of the error correcting code-ized encoder circuit 8.

[0028] It carries out as [make / repeatedly / interlock for every predetermined period, for example, a 1/6 frame period, and / at one stationary contacts 10b and 12b and the stationary contacts 10c and 12c of another side / change-over connection of the traveling contacts 10a and 12a of the change-over switches 10 and 12 of one of these, and another side].

[0029] While supplying mutually different recording heads 11A and 11B of the azimuth which formed A and B channel signal which are acquired by the stationary contacts 10b and 12b of one of these in the rotating drum 13, respectively, respectively, it carries out as [supply / the same recording head 11C of recording head 11A which formed C and D channel signal which are acquired by the stationary contacts 10c and 12c of this another side in this rotating drum 13, respectively, and an azimuth and the same recording head 11D of recording head 11B and an azimuth /, respectively].

[0030] It isolates between 180-degree angles and this rotating drum 13 arranges the recording heads 11A and 11B and recording heads 11C and 11D of each other which four recording heads 11A, 11B, 11C, and 11D were made to adjoin

two pieces at a time, as shown in drawing 4 .

[0031] Moreover, as shown in this rotating drum 13 at drawing 4 , the four reproducing heads 14A, 14B, 14C, and 14D are made to adjoin two pieces at a time, and these reproducing heads 14A and 14B and reproducing heads 14C and 14D that were made to adjoin two pieces at a time are allotted so that it may be mutually located with ***** between 180-degree angles between recording heads 11A and 11B and recording heads 11C and 11D.

[0032] in this case, each of these reproducing heads 14A, 14B, 14C, and 14D -- it carries out as [make / an azimuth /, respectively / with recording heads 11A, 11B, 11C, and 11D / the same].

[0033] See from a top and it is made to rotate counterclockwise, and this rotating drum 13 is carried out as [record /, respectively / A, B, C, and D channel signal of a segment signal / as truck patterns A, B, C, and D], as recording heads 11A, 11B, 11C, and 11D show on a magnetic tape 15 at drawing 5 . The truck patterns A, B, C, and D of this drawing 5 express with the form observed from the magnetic side of a magnetic tape 15.

[0034] In this example, it is made the time amount of one frame of an image as [rotate / three times / this rotating drum 13], and carries out as [record / as shown in drawing 5 / the image information of one frame / cover 12 trucks A B, and C and D....D, and]. That is, the rotational frequency of this rotating drum 13

is set to 90Hz.

[0035] Although **** is a record configuration depended on this example, the playback configuration depended on this example of this is hereafter constituted so that it may attach and state to drawing 1 . That is, while supplying A channel signal of A truck reproduced by the reproducing heads 14A and 14B, respectively, and B channel signal of B truck to one stationary contacts 16b and 17b of change-over switches 16 and 17, respectively, C channel signal of C truck reproduced by the reproducing heads 14C and 14D, respectively and D channel signal of D truck are supplied to the stationary contacts 16c and 17c of another side of change-over switches 16 and 17, respectively.

[0036] It interlocks and the traveling contacts 16a and 17a of these change-over switches 16 and 17 are used as one stationary contacts 16b and 17b and the stationary contacts 16c and 17c of another side as [make / repeatedly / change-over connection] with a predetermined phase for every predetermined period, for example, a 1/6-frame period.

[0037] While supplying A and C channel signal which are acquired by traveling contact 16a of this change-over switch 16 to the error correcting code-ized decoder circuit 19 through the equalizer circuit 18, B and D channel signal which are acquired by traveling contact 17a of a change-over switch 17 are supplied to the error correcting code-ized decoder circuit 21 through the equalizer circuit 20.

[0038] In this case, voice data is carried out as [output / from the voice data output terminal 22 / the voice data with which it communicated between the error correcting code-ized decoder circuit 19 and 21, and the error was corrected]. In this drawing 1 , 19a and 21a are memory used for signal processing of the error correcting code-ized decoder circuits 19 and 21, respectively.

[0039] Moreover, the error correcting code-ized decoder circuits 19 and 21 in a playback configuration were made into two pieces for the hardware inside an integrated circuit not becoming complicated having made the error correcting code-ized encoder circuit 8 in a record configuration into one piece in this case. The optimal thing is chosen by the gate size of chip cost and a chip at this time.

[0040] While supplying A and C channel signal which carried out the error correction in this error correcting code-ized decoder circuit 19, and a frame alignment signal to the bit rate reduction decoder circuit 23, B and D channel signal by which the error correction was carried out in this error correcting code-ized decoder circuit 21, and a frame alignment signal are supplied to the bit rate reduction decoder circuit 24.

[0041] Compression is loosened in these bit rate reduction decoder circuits 23 and 24. The preprocessor 5 of the video camera section is supplied through the interpolation circuit 25 which interpolates the image of a part with an error of each output signal of these bit rate reduction decoder circuits 23 and 24.

[0042] The signal supplied to this preprocessor 5 is a **** signal shown in drawing 2 G and H, is this preprocessor 5, and is carried out as [change / into **** 3:1:1 signal shown in original drawing 2 D, E, and F / from the **** signal shown in drawing 2 G and H]. It carries out as [supply / to the video-signal output terminal 27 / the color video signal of the analog which supplies these 3:1:1 digital signals to the D/A conversion circuit 26 changed into an analog signal, and is obtained / signals / by the output side of this D/A conversion circuit 26 in a digital signal].

[0043] In drawing 1 , 30 supplies the timing signal from this timing signal generating circuit 30 that shows a timing signal generating circuit to a predetermined circuit, respectively, and carries out it as [determine / the start point of data etc.]. 23a, 24a, and 25a are the memory for signal processing, respectively.

[0044] According to this example, a form digital video recorder can really [hand camera] which can reproduce the digital color video signal which could record in digital one the color video signal of the high resolution picturized with the video camera 1 on the magnetic tape 15, and was recorded on this magnetic tape 15 be obtained.

[0045] Generally, although the power consumption of a bit rate reduction encoder circuit is proportional to a frequency, since band compression

processing of the signal which fell signal frequency to 46.40625MHz and 46MHz of abbreviation is carried out by the bit rate reduction encoder circuits 6 and 7 while band-limiting 4:2:2 signals to 3:1:1 signals according to this example, as compared with what carries out band compression processing of the 4:2:2 signals directly, there are profits which can lessen power consumption so much.

[0046] Moreover, while hardware of these bit rate reduction encoder circuits 6 and 7 can be realized by being small-scale, there are profits to which the memory space of the memory 6a and 7a for these signal processing can also make only that part small, as this frequency that carries out compression processing fell.

[0047] Moreover, since the signal recorded on the magnetic tape 15 is a signal of 46MHz of the above-mentioned abbreviation, it has the profits which can lessen power consumption while the bit rate reduction decoder circuits 23 and 24 of a playback configuration as well as **** can carry out [small-scale]-izing of the hardware.

[0048] Moreover, since according to this example band compression processing of the signal which fell signal frequency to 46.46025MHz and 46MHz of abbreviation is carried out by the bit rate reduction encoder circuits 6 and 7 and image data is set to one seventh while band-limiting 4:2:2 signals to 3:1:1 signals 4:2:2 signals are directly compared with what sets image data to one

seventh in a bit rate reduction encoder circuit, compression efficiency can be gathered as signal frequency fell, a mosquito noise decreases so much, and there are profits which can improve image quality.

[0049] Therefore, according to this example, there are profits which can attain reduction-ization of power consumption while making hardware of a form digital video recorder small-scale and really [hand camera] forming it into small lightweight, and can aim at improvement in image quality further.

[0050] In addition, the above-mentioned example described so that an analog filter might band-limit the video signal of the analog from a video camera 1, but after changing the video signal from this video camera 1 into a digital signal, of course, you may make it band-limit by the digital filter.

[0051] Moreover, as for this invention, it is needless to say that various configurations can take in addition to this, without deviating from the summary of this invention, without restricting to the above-mentioned example.

[0052]

[Effect of the Invention] According to this invention, there are profits which can attain reduction-ization of power consumption while really [hand camera] forming a form digital video recorder into small lightweight, and can aim at improvement in image quality further.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram really [this invention hand camera] showing one example of a form digital video recorder.

[Drawing 2] It is the diagram with which explanation of drawing 1 is presented.

[Drawing 3] It is the diagram with which explanation of drawing 1 is presented.

[Drawing 4] It is the diagram showing the example of a rotating drum.

[Drawing 5] It is the diagram showing the example of a recording track.

[Description of Notations]

1 Video Camera, 2 Matrix Circuit, 3 Band-pass Filter, 4 An A/D-conversion circuit,
5 6 A preprocessor, 7 Bit rate reduction encoder circuit, 8 An error correcting
code-ized circuit, 10, 12, 16, 17 Change-over switch, 11A, 11B, 11C, 11D A

recording head, 13 Rotating drum, 14A, 14B, 14C, 14D The reproducing head,
15 19 A magnetic tape, 21 23 An error correcting code-ized decoder circuit, 24 A
bit rate reduction decoder circuit, 25 An interpolation circuit, 26 D/A conversion
circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-247709

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.⁸

H 0 4 N 9/80
5/92

識別記号

庁内整理番号

F I

H 0 4 N 9/80
5/92

技術表示箇所

Z
H

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平8-50572

(22) 出願日

平成8年(1996)3月7日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 逸見 文明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 可児 哲男

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 小川 哲夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 松隈 秀盛

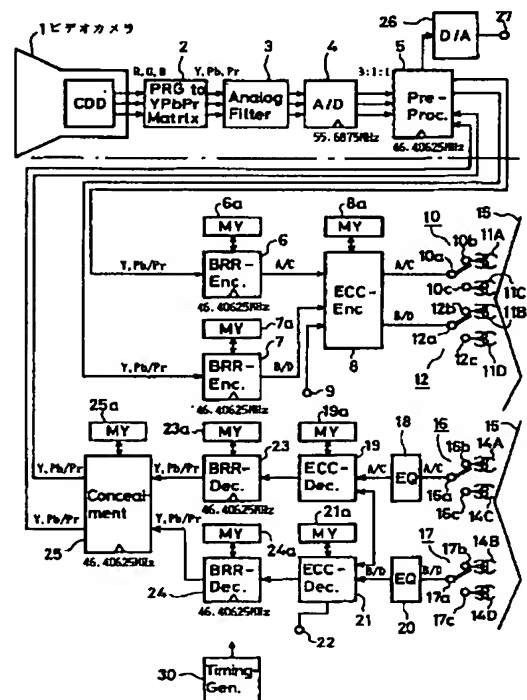
最終頁に続く

(54) 【発明の名称】 携帯用カメラ一体形デジタルビデオテープレコーダ

(57) 【要約】

【課題】 携帯用カメラ一体形デジタルビデオテープレコーダの小型軽量化を図ると共に消費電力の低減化を図ることを目的とする。

【解決手段】 ビデオカメラとデジタルビデオテープレコーダとが一体化された携帯用カメラ一体形デジタルビデオテープレコーダにおいて、このビデオカメラで撮像した映像信号を帯域制限手段により帯域制限し、その後、ビットレトリダクションエンコーダ回路により帯域圧縮処理した信号を記録するようにしたものである。



【特許請求の範囲】

【請求項1】 ビデオカメラとデジタルビデオテープレコーダとが一体化された携帯用カメラ一体形デジタルビデオテープレコーダにおいて、前記ビデオカメラで撮像した映像信号を帯域制限手段により帯域制限し、その後、ビットレトリダクションエンコーダ回路により帯域圧縮処理した信号を記録するようにしたことを特徴とする携帯用カメラ一体形デジタルビデオテープレコーダ。

【請求項2】 請求項1記載の携帯用カメラ一体形デジタルビデオテープレコーダにおいて、前記帯域制限手段により4:2:2信号を3:1:1信号とするようにしたことを特徴とする携帯用カメラ一体形デジタルビデオテープレコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はビデオカメラとデジタルビデオテープレコーダとを一体化した携帯用カメラ一体形デジタルビデオテープレコーダに関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 一般に高解像度の携帯用カメラ一体形デジタルビデオテープレコーダにおいては記録時間、記録密度を考慮した場合、ビデオカメラで撮像した映像信号を記録するときは画像圧縮技術を用いて、磁気テープに記録するのが現実的である。

【0003】 さて、一般に携帯用カメラ一体形ビデオテープレコーダを実現させる場合に問題となるのは、形状の大きさと消費電力である。

【0004】 従来のように、ビデオカメラで撮像した映像信号（例えば輝度信号YとR-Y色差信号PrとB-Y色差信号Pbとのサンプリング周波数の比を4:4:4とした4:4:4信号又はこの周波数の比を4:2:2とした4:2:2信号。ここでRは赤信号、Bは青信号である。）をそのまま、このビデオカメラ部からデジタルビデオテープレコーダ部に伝送するようにしたときには、この圧縮処理を行うハードウェアの規模が大きくなりがちであり、消費電力の面でも不利である不都合があると共にインターフェースの信号周波数が高く、この部分の消費電力も無視できない不都合があった。

【0005】 本発明は、斯る点に鑑み、携帯用カメラ一体形デジタルビデオテープレコーダの小型軽量化を図ると共に消費電力の低減化を図ることを目的とする。

【0006】

【課題を解決するための手段】 本発明携帯用カメラ一体形デジタルビデオテープレコーダはビデオカメラとデジタルビデオテープレコーダとが一体化された携帯用カメラ一体形デジタルビデオテープレコーダにおいて、このビデオカメラで撮像した映像信号を帯域制限手段により帯域制限し、その後、ビットレトリダクションエン

コーダ回路により帯域圧縮処理した信号を記録するようにしたものである。

【0007】 一般にビットレトリダクションエンコーダ回路の消費電力は周波数に比例するが、本発明によれば帯域制限した後にビットレトリダクションエンコーダ回路で帯域圧縮処理しているので、それだけ消費電力を少なくできる。

【0008】 また、本発明によれば帯域制限した後に、ビットレトリダクションエンコーダ回路で帯域圧縮処理しているので、この帯域圧縮処理するビットレトリダクションエンコーダ回路のメモリ容量を小さくでき、それだけハードウェアを小型・軽量化できる。

【0009】 また本発明によれば帯域制限した後にビットレトリダクションエンコーダ回路により帯域圧縮処理をしているので、圧縮効率を上げることができモスキートノイズがそれだけ少なくなり画質を向上することができる。

【0010】

【発明の実施の形態】 以下、図面を参照して本発明携帯用カメラ一体形デジタルビデオテープレコーダの一実施例につき説明しよう。図1において、1は光電変換素子として、CCD撮像素子を使用したビデオカメラを示す。

【0011】 このビデオカメラ1の出力側に得られるクロック周波数が例えば74.25MHzの図2A、B及びCに示す如き赤（R）信号、緑（G）信号及び青（B）信号のアナログの映像信号をマトリックス回路2に供給する。

【0012】 このマトリックス回路2においては、このR信号、G信号及びB信号をマトリックス演算処理して4:4:4信号のY信号、R-Y信号Pr及びB-Y信号Pbに変換する。この4:4:4信号をアナログの帯域フィルタ3に供給し、この帯域フィルタ3でY信号を3/4に帯域制限すると共にR-Y信号Pr及びB-Y信号Pbを夫々1/4に帯域制限し、3:1:1信号に帯域制限する如くする。

【0013】 この場合、この帯域フィルタ3で4:4:4信号を3:1:1信号に帯域制限したときは通常標準的に用いている4:2:2信号に対して言えば、画像データが5/8に帯域圧縮されたこととなる。

【0014】 この帯域フィルタ3の出力側に得られる3:1:1信号をアナログ信号をデジタル信号に変換するA/D変換回路4に供給する。このA/D変換回路4においては、デジタルの3:1:1の輝度信号Y、R-Y色差信号Pr、B-Y色差信号Pbが得られる。このA/D変換回路4のデジタル部のクロック周波数は例えば55.6875MHzとする。

【0015】 このA/D変換回路4の出力側に得られる図2D、E、Fに示す如きデジタルの3:1:1の輝度信号Y、B-Y色差信号Pb、R-Y色差信号Prをブ

レプロセッサ回路5に供給する。このプレプロセッサ回路5においては、このデジタルの3:1:1の輝度信号Y、B-Y色差信号Pb、R-Y色差信号Prのデータ順の並び替えを行い図2G、Hに示す如く第1及び第2チャンネル信号ch₁及びch₂とする。

【0016】このプレプロセッサ回路5のこのデータ順の並び替えは、図2G、Hに示す如く、輝度信号Y0、Y1、Y2……の6サンプル単位で行い、この輝度信号の偶数サンプルY0、Y2、Y4……と奇数サンプルY1、Y3、Y5……とを2チャンネルの夫々に分割し、その後ろにB-Y色差信号とR-Y色差信号と同様に偶数サンプルPb0、Pb2……とPr0、Pr2……と奇数サンプルPb1、Pb3……とPr1、Pr3……とに分け、この2チャンネルに分配する如くする。

【0017】即ち、第1チャンネル信号ch₁は図2Gに示す如く、Y0、Y2、Y4、Pb0、Pr0、Y6……の偶数サンプルが連なる信号であり、第2チャンネル信号ch₂は図2Hに示す如く、Y1、Y3、Y5、Pb1、Pr1、Y7……の奇数サンプルが連なる信号である。

【0018】この場合、この第1及び第2チャンネル信号ch₁及びch₂の夫々の周波数は46.4025MHzとなり、A/D変換回路4のデジタル部のクロック周波数55.6875MHzよりさらに低下している。

【0019】この第1及び第2チャンネル信号ch₁及びch₂がこのビデオカメラの出力信号であり、このデジタルの第1及び第2チャンネル信号ch₁及びch₂を夫々デジタルビデオテープレコーダ部のビットレトリダクションエンコーダ回路6及び7に夫々供給する。

【0020】このビットレトリダクションエンコーダ回路6及び7においては画像データの帯域圧縮が全体で例えば1/7となる如く、例えば8/35の帯域圧縮処理する如く構成する。このビットレトリダクションエンコーダ回路6及び7としては周知のものを使用する如くする。

【0021】本例ではビットレトリダクションエンコーダ回路6及び7は内部の構成が全く同じものとし、ここで画像のシャフリングが行われる如くする。圧縮処理は本例においてはイントラフレームで行う如くする。このイントラフレームの方が同じ画質を得るのに圧縮率を高くできるためである。

【0022】また、このビットレトリダクションエンコーダ回路6及び7においては、夫々の出力側に図3A及びBに示す如く、1フレーム分毎のビットレトリダクション信号を得る。この1フレーム分のビットレトリダクション信号は夫々6つのセグメント信号に分割したもので、この1つのセグメント信号は夫々図3C₁、C₂、D₁、D₂に示す如く、225個のシンクブロックより成り、このシンクブロックは1008クロックから成っている。このセグメント信号は夫々1つのトラッ

クに記録されるものである。

【0023】即ち、このビットレトリダクションエンコーダ回路6の出力側に得られるビットレトリダクション信号の第1、第3及び第5のセグメント信号(図3AのSegment 0、Segment 2及びSegment 4)は図3A及びC₁に示す如く、夫々225個のAシンクブロックより成るAチャンネル信号であり、このビットレトリダクション信号の第2、第4及び第6のセグメント信号(図3AのSegment 1、Segment 3及びSegment 5)は図3A及びC₂に示す如く、夫々225個のCシンクブロックより成るCチャンネル信号である。

【0024】また、このときのビットレトリダクションエンコーダ回路7の出力側に得られるビットレトリダクション信号の第1、第3及び第5のセグメント信号(図3BのSegment 0、Segment 1及びSegment 4)は図3B及びD₁に示す如く、夫々225個のBシンクブロックより成るBチャンネル信号であり、このビットレトリダクション信号の第2、第4及び第6のセグメント信号(図3BのSegment 1、Segment 3及びSegment 5)は図3B及びD₂に示す如く、夫々225個のDシンクブロックより成るDチャンネル信号である。

【0025】このシンクブロックは図3Eに示す如く識別信号IDとデータとを220クロックとし、その他をギャップとしたものである。図3Fにフレーム同期信号を示す。また図1において、6a及び7aは夫々ビットレトリダクションエンコーダ回路6及び7の夫々の信号処理に使用されるメモリである。

【0026】このビットレトリダクションエンコーダ回路6及び7の夫々の出力側に得られる図3A及びBに示す如きビットレトリダクション信号及び図3Fに示す如きフレーム同期信号を誤り訂正符号化エンコーダ回路8に供給すると共に音声データ入力端子9より音声データをこの誤り訂正符号化エンコーダ回路8に供給する。

【0027】この誤り訂正符号化エンコーダ回路8としては周知のものを使用し、この誤り訂正符号化エンコーダ回路8の一方の出力端子に得られる誤り訂正符号化されたA及びCチャンネル信号を一方の切換スイッチ10の可動接点10aに供給すると共にこの誤り訂正符号化エンコーダ回路8の他方の出力端子に得られる誤り訂正符号化されたB及びDチャンネル信号を他方の切換スイッチ12の可動接点12aに供給する。8aは誤り訂正符号化エンコーダ回路8の信号処理に使用されるメモリである。

【0028】この一方及び他方の切換スイッチ10及び12の可動接点10a及び12aを所定期間例えば1/6フレーム期間毎に連動して一方の固定接点10b及び12bと他方の固定接点10c及び12cとに繰返し、

切換接続する如くする。

【0029】この一方の固定接点10b及び12bに得られるA及びBチャンネル信号を夫々回転ドラム13に設けたアジマスの互いに異なる記録ヘッド11A及び11Bに夫々供給すると共にこの他方の固定接点10c及び12cに得られるC及びDチャンネル信号を夫々この回転ドラム13に設けた記録ヘッド11Aとアジマスの同じ記録ヘッド11C及び記録ヘッド11Bとアジマスの同じ記録ヘッド11Dに夫々供給する如くする。

【0030】この回転ドラム13は例えば図4に示す如く、4個の記録ヘッド11A、11B、11C及び11Dを2個ずつ隣接させた記録ヘッド11A、11Bと記録ヘッド11C、11Dとを互いに180度角間隔離して配置したものである。

【0031】また、この回転ドラム13に例えば図4に示す如く、4個の再生ヘッド14A、14B、14C及び14Dを2個ずつ隣接させ、この2個ずつ隣接させた再生ヘッド14A、14Bと再生ヘッド14C、14Dとを互いに180度角間隔離すると共に記録ヘッド11A、11Bと記録ヘッド11C、11Dとの間に位置する如く配する。

【0032】この場合、この再生ヘッド14A、14B、14C及び14Dの夫々アジマスを記録ヘッド11A、11B、11C及び11Dと夫々同じにする如くする。

【0033】この回転ドラム13は上から見て、反時計方向に回転させ、記録ヘッド11A、11B、11C及び11Dにより磁気テープ15上に図5に示す如く、セグメント信号のA、B、C及びDチャンネル信号を夫々トラックパターンA、B、C及びDとして記録する如くする。この図5のトラックパターンA、B、C及びDは磁気テープ15の磁性面から観測した形で表している。

【0034】本例では、画像の1フレームの時間に、この回転ドラム13が3回転する如くし、1フレームの画像情報が、図5に示す如く12本のトラックA、B、C、D……Dに亘って記録される如くする。即ちこの回転ドラム13の回転数を90Hzとする。

【0035】上述は本例による記録構成であるが、この本例による再生構成は以下、図1につき述べる如く構成する。即ち、再生ヘッド14A及び14Bで夫々再生された、AトラックのAチャンネル信号及びBトラックのBチャンネル信号を夫々切換スイッチ16及び17の一方の固定接点16b及び17bに供給すると共に再生ヘッド14C及び14Dで夫々再生されたCトラックのCチャンネル信号及びDトラックのDチャンネル信号を夫々切換スイッチ16及び17の他方の固定接点16c及び17cに供給する。

【0036】この切換スイッチ16及び17の可動接点16a及び17aを連動して、所定期間例えば1/6フレーム期間毎に所定位相で、一方の固定接点16b及び

17bと他方の固定接点16c及び17cとに繰り返し切換接続する如くする。

【0037】この切換スイッチ16の可動接点16aに得られるA及びCチャンネル信号をイコライザ回路18を介して誤り訂正符号化デコーダ回路19に供給すると共に切換スイッチ17の可動接点17aに得られるB及びDチャンネル信号をイコライザ回路20を介して誤り訂正符号化デコーダ回路21に供給する。

【0038】この場合、音声データは誤り訂正符号化デコーダ回路19及び21間でやりとりし誤りの訂正された音声データを音声データ出力端子22より出力する如くする。この図1において、19a及び21aは夫々誤り訂正符号化デコーダ回路19及び21の信号処理に使用されるメモリである。

【0039】また、この場合、記録構成における誤り訂正符号化エンコーダ回路8を1個としたのに、再生構成における誤り訂正符号化デコーダ回路19、21を2個としたのは集積回路内部のハードウェアが複雑にならない為である。このときはチップコストとチップのゲートサイズによって最適なものが選択される。

【0040】この誤り訂正符号化デコーダ回路19で誤り訂正したA及びCチャンネル信号とフレーム同期信号とをビットレトリダクションデコーダ回路23に供給すると共にこの誤り訂正符号化デコーダ回路21で誤り訂正されたB及びDチャンネル信号とフレーム同期信号とをビットレトリダクションデコーダ回路24に供給する。

【0041】このビットレトリダクションデコーダ回路23及び24で圧縮がほどかれる。このビットレトリダクションデコーダ回路23及び24の夫々の出力信号をエラーのあった個所の画像を補間する補間回路25を介してビデオカメラ部のプレプロセッサ5に供給する。

【0042】このプレプロセッサ5に供給される信号は図2G、Hに示す如き信号であり、このプレプロセッサ5で、図2G、Hに示す如き信号から、元の図2D、E、Fに示す如き3:1:1信号に変換する如くする。このデジタルの3:1:1信号をデジタル信号をアナログ信号に変換するD/A変換回路26に供給し、このD/A変換回路26の出力側に得られるアナログのカラー映像信号を映像信号出力端子27に供給する如くする。

【0043】図1においては、30はタイミング信号発生回路を示す、このタイミング信号発生回路30よりのタイミング信号を所定の回路に夫々供給し、データの開始点等を決定する如くする。23a、24a及び25aは夫々信号処理用のメモリである。

【0044】本例によれば、ビデオカメラ1により撮像した高解像度のカラー映像信号をデジタルで磁気テープ15に記録することができ、またこの磁気テープ15に記録したデジタルのカラー映像信号を再生することがで

きる携帯用カメラ一体形デジタルビデオテープレコーダを得ることができる。

【0045】一般にビットレトリダクションエンコーダ回路の消費電力は周波数に比例するが、本例によれば4:2:2信号を3:1:1信号に帯域制限すると共に信号周波数を46.40625MHzと略46MHzに低下した信号をビットレトリダクションエンコーダ回路6,7により帯域圧縮処理しているので、4:2:2信号を直接に帯域圧縮処理するものに比較し、消費電力をそれだけ少なくできる利益がある。

【0046】また、この圧縮処理する周波数が低下しただけ、このビットレトリダクションエンコーダ回路6,7のハードウェアが小規模で実現できると共にこの信号処理用のメモリ6a,7aのメモリ容量もその分だけ小さくすることができる利益がある。

【0047】また磁気テープ15に記録された信号は前述の略46MHzの信号であるので、再生構成のビットレトリダクションデコーダ回路23,24も、上述同様にハードウェアを小規模化できると共に消費電力を少なくできる利益がある。

【0048】また、本例によれば、4:2:2信号を3:1:1信号に帯域制限すると共に信号周波数を46.40625MHzと略46MHzに低下した信号をビットレトリダクションエンコーダ回路6,7により帯域圧縮処理して画像データを1/7としているので、4:2:2信号を直接にビットレトリダクションエンコーダ回路で画像データを1/7にするものに比し、信号周波数が低下しただけ圧縮効率を上げることができ、モスキートノイズがそれだけ少なくなり、画質を向上することができる利益がある。

【0049】従って、本例によれば、携帯用カメラ一体形デジタルビデオテープレコーダのハードウェアを小規模化し小型軽量化すると共に消費電力の低減化を図るこ

とができ、更に画質の向上を図ることができる利益がある。

【0050】尚、上述実施例ではビデオカメラ1よりのアナログの映像信号をアナログフィルタで帯域制限する如く述べたが、このビデオカメラ1よりの映像信号をデジタル信号に変換した後にデジタルフィルタで帯域制限するようにしても良いことは勿論である。

【0051】また、本発明は上述実施例に限ることなく本発明の要旨を逸脱することなくその他種々の構成が採り得ることは勿論である。

【0052】

【発明の効果】本発明によれば、携帯用カメラ一体形デジタルビデオテープレコーダを小型軽量化すると共に消費電力の低減化を図ることができ、更に画質の向上を図ることができる利益がある。

【図面の簡単な説明】

【図1】本発明携帯用カメラ一体形デジタルビデオテープレコーダの一実施例を示す構成図である。

【図2】図1の説明に供する線図である。

【図3】図1の説明に供する線図である。

【図4】回転ドラムの例を示す線図である。

【図5】記録トラックの例を示す線図である。

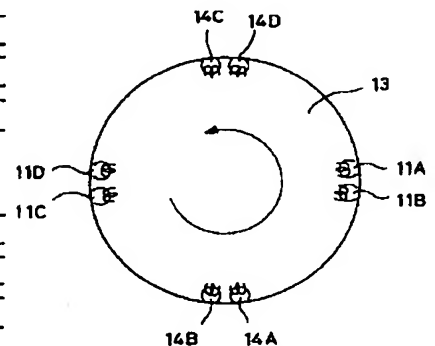
【符号の説明】

1 ビデオカメラ、2 マトリックス回路、3 帯域フィルタ、4 A/D変換回路、5 プレプロセッサ、6,7 ビットレトリダクションエンコーダ回路、8 誤り訂正符号化回路、10,12,16,17 切換スイッチ、11A,11B,11C,11D 記録ヘッド、13 回転ドラム、14A,14B,14C,14D 再生ヘッド、15 磁気テープ、19,21 誤り訂正符号化デコーダ回路、23,24 ビットレトリダクションデコーダ回路、25 補間回路、26 D/A変換回路

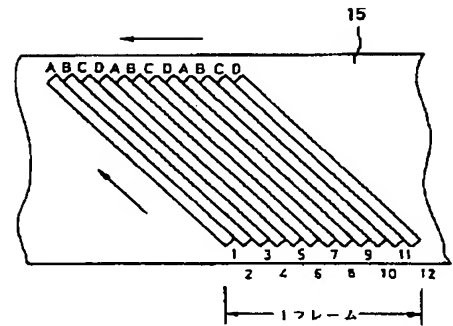
【図2】

A	R	R0	R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15
B	G	G0	G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11	G12	G13	G14	G15
C	B	B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15
D	Y	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11				
E	Pb	Pb0				Pb1				Pb2				Pb3			
F	Pr	Pr0				Pr1				Pr2				Pr3			
G	Ch1	Y0	Y2	Y4	Pb0	Pr0	Y6	Y8	Y10	Pb2	Pr2						
H	Ch2	Y1	Y3	Y5	Pb1	Pr1	Y7	Y9	Y11	Pb3	Pr3						

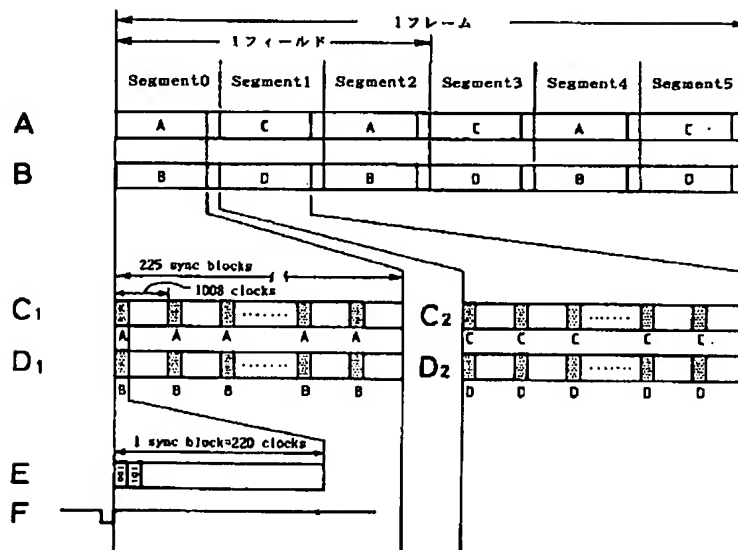
【図4】



【图 5】



【図 3】



フロントページの続き

(72)発明者 田中 良明
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 阿部 隆夫
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 15 年 6 月 13 日 (2003. 6. 13)

【公開番号】特開平 9-247709

【公開日】平成 9 年 9 月 19 日 (1997. 9. 19)

【年通号数】公開特許公報 9-2478

【出願番号】特願平 8-50572

【国際特許分類第 7 版】

H04N 9/80

5/92

【F 1】

H04N 9/80 Z

5/92 H

【手続補正書】

【提出日】平成 15 年 2 月 21 日 (2003. 2. 21)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 携帯用カメラ一体形デジタルビデオレコーダ

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 ビデオカメラとデジタルビデオレコーダとが一体化された携帯用カメラ一体形デジタルビデオレコーダにおいて、前記ビデオカメラで撮像した映像信号を帯域制限手段により帯域制限し、その後、ビットレートリダクションエンコーダ回路により帯域圧縮処理した信号を記録するようにしたことを特徴とする携帯用カメラ一体形デジタルビデオレコーダ。

【請求項 2】 請求項 1 記載の携帯用カメラ一体形デジタルビデオレコーダにおいて、前記帯域制限手段により 4:2:2 信号を 3:1:1 信号とするようにしたことを特徴とする携帯用カメラ一体形デジタルビデオレコーダ。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明はビデオカメラとデジ

タルビデオレコーダとを一体化した携帯用カメラ一体形デジタルビデオレコーダに関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】本発明は、斯る点に鑑み、携帯用カメラ一体形デジタルビデオレコーダの小型軽量化を図ると共に消費電力の低減化を図ることを目的とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】本発明携帯用カメラ一体形デジタルビデオレコーダはビデオカメラとデジタルビデオレコーダとが一体化された携帯用カメラ一体形デジタルビデオレコーダにおいて、このビデオカメラで撮像した映像信号を帯域制限手段により帯域制限し、その後、ビットレートリダクションエンコーダ回路により帯域圧縮処理した信号を記録するようにしたものである。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【発明の実施の形態】以下、図面を参照して本発明携帯用カメラ一体形デジタルビデオレコーダの一実施例につき説明しよう。図 1 において、1 は光電変換素子として、CCD 撮像素子を使用したビデオカメラを示す。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】

【発明の効果】本発明によれば、携帯用カメラ一体形デジタルビデオレコーダを小型軽量化すると共に消費電力の低減化を図ることができ、更に画質の向上を図ること

ができる利益がある。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】図 1

【補正方法】変更

【補正内容】

【図 1】本発明携帯用カメラ一体形デジタルビデオレコーダの一実施例を示す構成図である。